

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59110280 A

(43) Date of publication of application: 26.06.84

(51) Int. Cl

H04N 5/06

H04N 5/08

(21) Application number: 57219219

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 16.12.82

(72) Inventor: SUZUKI TAKAO

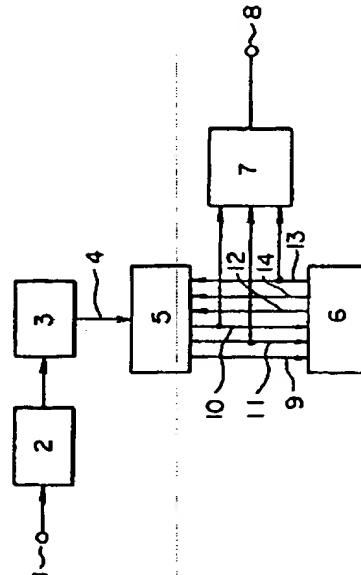
(54) PROCESSING CIRCUIT OF HORIZONTAL SYNCHRONIZING SIGNAL

COPYRIGHT: (C)1984,JPO&Japio

(57) Abstract:

PURPOSE: To eliminate the need for a capacitor and to realize semiconductor integration by detecting a horizontal synchronizing signal in a composite synchronizing signal through digital processing.

CONSTITUTION: The composite synchronizing signal is inputted to a noise eliminating circuit 2 through an input terminal 1 and a composite synchronizing signal after some of noises are removed is outputted to a trailing edge detecting circuit 3. The circuit 3 detects a trailing edge pulses of composite synchronizing signal and outputs to the circuit 5. The circuit 5 controls a counter 6, which outputs 1.05 signal to a horizontal synchronizing signal generating circuit 7 through a signal line 13. The circuit 7 inputs a trailing pulse in abnormal mode and a trailing pulse in normal mode respectively and a horizontal synchronizing signal with constant width is derived to a horizontal synchronizing signal output terminal 8. Consequently, the horizontal synchronizing signal is detected in the composite synchronizing signal through the digital processing.



(19) 梅田国平 日本国特許局 (JP)  
(2) 公開號 B2  
(1) 公告番号 89653  
(24) 登記年月日 平成7年(1995年)9月27日  
(54) 望明の名義 木平周樹  
(51) 國際特許分類第6版

(書籍や契約や請求の範囲)

HO4N 5/06  
[発明の数] 1  
[全頁数] 10  
2  
5/44

164

(21) 出願番号 特願昭57-219219  
 (22) 出願日 昭和57年(1982)12月16日  
 (23) 公開番号 特開昭59-110280  
 (24) 公開日 昭和59年(1984)6月26日

(1) 著作権者 平5-27

(2) 著作権登録番号 999999999  
 庄氏又は名義人 大阪府門真市大字門真1006番地

(3) 代理人 勝利雄  
 住所 又は里所 大阪府門真市大字門真1006番地

(4) 佐野 雄  
 佐野又は里所 大阪府門真市大字門真1006番地

(5) 審査員長 小林英子  
 審査員 丸山英子  
 参考文献 文献55-80814 (JP, A)  
 文献54-39519 (JP, A)  
 文献52-47968 (JP, B2)

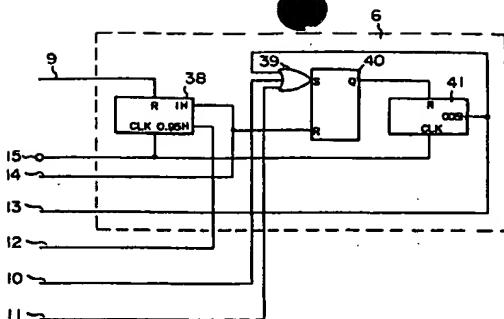
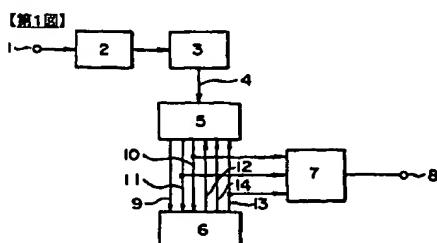
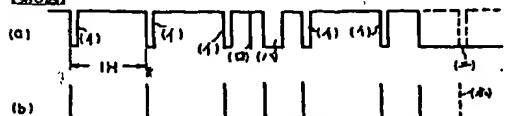
カウンタ6は、コントロール回路5から入力したカウント同期信号によって制御され、信号出力部7を介して出力する。0.95Vバ尔斯(但し、これは水平同期信号の周波で、以下「Hビット」という)を、信号翻訳3を介して出力する。0.98Vバ尔斯と、信号翻訳4を介して出力するHビットとなるタイミング信号をコントロール回路5に、出力すると共に、信号翻訳3を介して出力する。0.95Vバ尔斯からなるタイミング信号を水平同期信号(周波)に用意する。水平同期信号発生回路7は、水平同期信号を水平同期信号発生回路7に用意する。更に、カウンタ6からタイミング信号が入力すると、一定周波の水平同期信号を水平同期信号発生回路7に用意する。水平同期信号発生回路7は、本構成の一実施例では、除法回路2と立下りエッジ検出回路3との構成を有する。第2回路は本構成の一実施例では、ノイズ除去回路2と立下りエッジ検出回路3との構成を有する。第2回路の具体例を示すもので、第2回路において第1回路の符号と同一の符号の部分は、同一の符号の部分で、15は複合同期信号の部分であり、高い周波数、例えば駆動周波数のクロックバルス入力端子、16.17.18及び19はDフリップフロップである。20はAND回路である。第3回路は第2回路に示した回路のタイミングシグナルで、第3回路(ア)は複合同期信号の波形を示すもので、入力端子1にはこの複合同期信号の反転信号が入力する。又、第3回路(イ)は立下りエッジ検出回路3から立下りエッジバルス供給端子4に出力される立下りエッジバルスの波形を示すもので、(ア)について説明すれば、



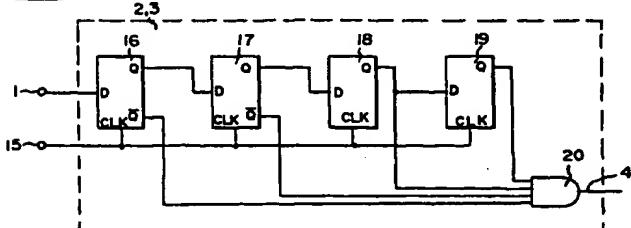
尚、非正常モードにおいて、範囲に限らずに全ての立下りエッジに基づいて水平同期信号を発生させるのは、同期していない状態では、どの信号が正しくどの信号がノイズなどの信号を正確に判断できない上、本来の水平同期信号成分を除去するよりは、ノイズが重なされている方がよいからである。本発明の水平同期信号処理回路とが同期する正常モードでは、このように、複合同期信号の本発明の水平同期信号処理回路とが同期する正常モードでは、判別期間外の複合同期信号の立下りエッジバルスで水平同期信号を発生させない上、ノイズを除去することができる。又、複合同期信号に欠損信号成分があつても、最初の水平同期信号は1.05μ秒周期で、2つ目以降の水平同期信号は1μ秒周期で補償することができる。

以上説明したように、本発明によれば、複合同期信号からデジタル処理で水平同期信号の検出を行なうことができるという効果がある。又、ノイズ除去ができるため、誤動作がなく、しかも、欠損信号成分に対する水平同期信号の補償もできるという効果がある。更に、デジタル回路で構成できるので、コンデンサが不要となって、半導体集積化に好適であるという効果がある。

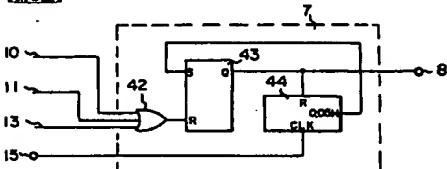
図面  
[第3回]



## [第2回]



## [第3回]



<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

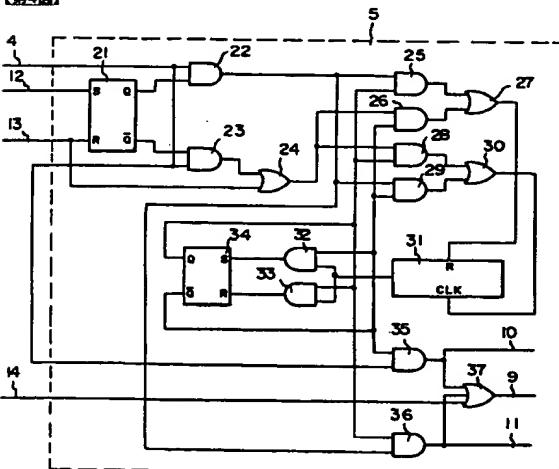
01/02/24

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

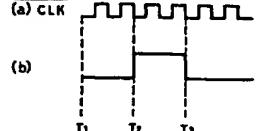
01/02/24

2/3 ページ

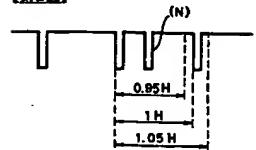
## [第4回]



## [第7回]



## [第8回]



## [第5回]

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemont.ipdl>

01/02/24